

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03165415 \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 02-140915 [JP 2140915 A]

PUBLISHED: May 30, 1990 (19900530)

INVENTOR(s): OKA HIDEAKI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)  
, JP (Japan)

APPL. NO.: 63-295065 [JP 88295065]

FILED: November 22, 1988 (19881122)

INTL CLASS: [5] H01L-021/20; H01L-021/324; H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: E, Section No. 966, Vol. 14, No. 383, Pg. 66, August  
17, 1990 (19900817)

**ABSTRACT**

PURPOSE: To enable a semiconductor element to be formed selectively at a crystallized area by allowing a single crystal silicon, etc., to be selectively formed on an insulation amorphous material and by controlling the position where a crystal grain boundary exists.

CONSTITUTION: An amorphous material layer 102 which mainly consists of silicon is formed on an insulation amorphous material 101. Then, a metal layer 103 is formed on the amorphous materials layer 102, the metal layer is eliminated leaving a part which becomes a seed area 10, and crystal nuclei which become seeds can be generated at areas where the amorphous material area 102 and the metal layer 103 are in contact. Furthermore, the amorphous material layer 102 is selectively formed by crystal growth by heat treatment, etc., with the seed areas 104 as the starting points. Semiconductor elements are formed on silicon layer 105 formed by crystal growth. Thus semiconductor elements can be selectively formed at crystal areas by controlling the position of crystal grain boundary.

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
008325092    \*\*Image available\*\*

WPI Acc No: 1990-212093/199028

Semiconductor device with monocrystal selectively on silica layer -  
produced from contact portion of silicon and aluminium specified temp.  
range etc. NoAbstract Dwg 1/8

Patent Assignee: EPSON CORP (SHIH )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2140915	A	19900530	JP 88295065	A	19881122	199028 B

Priority Applications (No Type Date): JP 88295065 A 19881122

Title Terms: SEMICONDUCTOR; DEVICE; MONOCRYSTAL; SELECT; SILICA; LAYER;  
PRODUCE; CONTACT; PORTION; SILICON; ALUMINIUM; SPECIFIED;  
TEMPERATURE; RANGE; NOABSTRACT

Derwent Class: L03; U11; U12; U13

International Patent Class (Additional): H01L-021/20; H01L-029/78

File Segment: CPI; EPI

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 平2-140915

⑬ Int. CL.<sup>5</sup>  
H 01 L 21/20  
21/324  
21/336  
29/784

識別記号 庁内整理番号  
7739-5F

⑭ 公開 平成2年(1990)5月30日

8624-5F H 01 L 29/78 311 Z  
審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-295065  
⑰ 出 願 昭63(1988)11月22日

⑱ 発明者 岡 秀明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
⑲ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社  
⑳ 代理人 弁理士 上柳 雅善 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- 1) (a) 絶縁性非晶質材料上にシリコンを主体とする非晶質材料層を形成する工程。
- (b) 该非晶質材料層上に金属層を形成しパターン形成する工程。
- (c) 热処理等により、該非晶質材料層と該金属層が接触している領域に結晶核を生成させる工程。
- (d) 該非晶質材料層を前記結晶核をシードとして、热処理等により結晶成長させる工程。
- (e) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体装置の製造方法に係わり、特に、絶縁性非晶質材料上に選択的に単結晶半導体膜を形成する半導体装置の製造方法に関する。

【従来の技術】

ガラス、石英等の絶縁性非晶質基板や、SiO<sub>2</sub>等の絶縁性非晶質層上に、高性能な半導体素子を形成する試みが成されている。

近年、大型で高解像度の液晶表示パネルや、高達で高解像度の密着型イメージセンサや三次元IC等へのニーズが高まるにつれて、上述のような絶縁性非晶質材料上の高性能な半導体素子の実現が待望されている。

絶縁性非晶質材料上に薄膜トランジスタ(TFT)を形成する場合を例にとると、(1) プラズマCVD法等により形成した非晶質シリコンを素子材としたTFT、(2) CVD法等で形成した多結晶シリコンを素子材としたTFT、(3) 摺動再結晶化法等により形成した単結晶シリコンを素子材としたTFT等が検討されている。

ところが、これらのTFTのうち非晶質シリコンもしくは多結晶シリコンを素子材としたTFTは、単結晶シリコンを素子材とした場合に比べて TFTの電界効果移動度が大幅に低く（非晶質シリコンTFT<1cm<sup>2</sup>/V·sec、多結晶シリコンTFT~10cm<sup>2</sup>/V·sec）。高性能なTFTの実現は困難であった。

一方、レーザビーム等による溶融再結晶化法は、未だに十分に完成した技術とは言えず、また、液晶表示パネルの様に、大面积に素子を形成する必要がある場合には技術的困難が特に大きい。

そこで、絶縁性非晶質材料上に高性能な半導体素子を形成する簡便かつ実用的な方法として、大粒径の多結晶シリコンを固相成長させる方法が注目され、研究が進められている。（Thin Solid Films 100 (1983) p.227, JJAP Vol.25 No.2 (1986) p.L121）

#### 〔発明が解決しようとする課題〕

しかし、従来の技術では、多結晶シリコンの粒

程、

- (d) 該非晶質材料層を前記結晶核をシードとして、熱処理等により結晶成長させる工程、
- (e) 結晶成長させたシリコン層に半導体素子を形成する工程を少なくとも有することを特徴とする。

#### 〔実施例〕

第1図は、本発明の実施例における半導体装置の製造工程図の一例である。尚、第1図では半導体素子として薄膜トランジスタ（TFT）を形成する場合を例としている。

第1図において、(A)は、ガラス、石英等の絶縁性非晶質基板、もしくはSiO<sub>2</sub>等の絶縁性非晶質材料層等の絶縁性非晶質材料101上にシリコンを主体とする非晶質材料層102を形成する工程である。該非晶質材料層の形成方法としては、プラズマCVD法、蒸着法、EB蒸着法、MBE法、スピクタ法、CVD法等で非晶質シリコンを成長する方法と、微結晶シリコンもしくは多結晶シリコン等をプラズマCVD法、CVD

法、結晶粒界の存在する位置を十分に制御することが困難であった。従って、板に大粒径の多結晶シリコンが形成できたとしても、結晶粒の内部に形成されたTFTと結晶粒界部にTFTのチャンネル領域が位置したTFTの間で特性が大幅に異なることから、TFTで構成した走査回路の動作速度が、結晶粒界部に位置する特徴の悪いTFTの特性で制限されたり、最悪の場合は、回路が動作しない等の重大な問題が発生した。

そこで、本発明は結晶粒界の位置を制御し、半導体素子を結晶領域に選択的に形成する製造方法を提供するものである。

#### 〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、

- (a) 絶縁性非晶質材料上にシリコンを主体とする非晶質材料層を形成する工程、
- (b) 該非晶質材料層上に金属層を形成しパターン形成する工程、
- (c) 热処理等により、該非晶質材料層と該金属層が接触している領域に結晶核を生成させる工

法、蒸着法、EB蒸着法、MBE法、スピクタ法等で形成後、Si、Ar、B、P、He、Ne、Kr、H等の元素をイオン打ち込みして、該微結晶シリコンもしくは多結晶シリコン等を非晶質化する等の方法がある。

(d) は、該非晶質材料層102上に金属層103を形成し該金属層をシード領域104となる部分を残して除去し、热処理等によって、該非晶質材料層102と金属層103が接触している部分にシードとなる結晶核を生成させる工程である。金属層としてAlを用いた場合を例にすると、該金属層103と接触している非晶質シリコンは他の部分と比べてより低温でしかも短時間で結晶核が発生し易い。そこで、金属層と接触していない部分からは結晶核が発生しない温度及び時間で热処理を行うと、シード領域104から選択的に結晶成長を誘起することができる。具体的には、蒸着法等でAlを形成しパターン形成した後で、200°C~450°C程度で15分~2時間程度の热処理を行うと、金属層と非晶質シリコン層

の界面付近に結晶核が生成し結晶成長が始まる。続いて、金属層(A1)103をリン酸等でエッチング除去する。金属層を除去する理由は、続いて行うより高い温度での熱処理の際、金属の非品質シリコン中(特に素子形成領域まで)への異常拡散を防止するためである。又、A1等の金属層の膜厚を非品質シリコン層の膜厚と比べて少なくとも同程度以下にすることも、上述の異常拡散を防止する対策となる。例えば、非品質シリコン層200Å～1000Åに対して、金属層100Å～500Å程度かこれよりも薄い金属層を用いたほうが異常拡散が低減される。

尚、結晶核が生成する熱処理温度は非品質シリコンの成膜方法によって最適値が異なる。例えば、プラズマCVD法で形成した非品質シリコンの場合は200℃～350℃程度の比較的低温で結晶核が形成される。そのため、シード領域以外から結晶核が生成されにくい低温の熱処理でシード領域に結晶核を生成できるメリットがある。

(C)は、該非品質材料層102を該シード領域においても、下層部の素子に悪影響(例えば、不純物の拡散等)を与えることなく、上層部に半導体素子を形成することが出来る。続いて、ゲート電極を形成後、ソース・ドレイン領域をイオン注入法、熱拡散法、プラズマドーピング法等で形成し、層間絶縁膜をCVD法、スパッタ法、プラズマCVD法等で形成する。さらに、該層間絶縁膜にコンタクト穴を開け、配線を形成することでTFTが形成される。

本発明に基づく半導体装置の製造方法で作製した低温プロセスTFT(Nチャンネル)の電界効果移動度は、200～350cm<sup>2</sup>/V·secであり、ガラス基板上に高性能なTFTを形成することが出来た。これは、本発明の製造方法により、選択的な結晶成長が再現性良くできるようになった結果可能となった。さらに、前記TFT製造工程に水素ガスもしくはアンモニアガスを少なくとも含む気体のプラズマ雰囲気に半導体素子をさらす工程を設けると、欠陥密度が低減され、記述電界効果移動度はさらに向上する。

層104を起点として、熱処理等により選択的に結晶成長させる工程である。熱処理温度は550℃～650℃程度で2.0時間～3.0時間程度の熱処理を行う。

(D)は、結晶成長させたシリコン層105に半導体素子を形成する工程である。尚、第1図(D)では、半導体素子としてTFTを形成する場合を例としている。図において、106はゲート電極、107はソース・ドレイン領域、108はゲート絶縁膜、109は層間絶縁膜、110はコンタクト穴、111は配線を示す。TFT形成法の一例としては、シリコン層105をバーン形成し、ゲート絶縁膜を形成する。該ゲート絶縁膜は熱酸化法で形成する方法(高温プロセス)とCVD法もしくはプラズマCVD法等で600℃程度以下の低温で形成する方法(低温プロセス)がある。低温プロセスでは、基板として安価なガラス基板を使用できるため、大型な液晶表示パネルや直着型イメージセンサ等の半導体装置を低成本で作成できるほか、三次元IC等を形成する

第2図及び第3図は、本発明の実施例における半導体装置の製造工程図の別の一例である。第2図は断面図、第3図は平面図である。

第2図及び第3図において、(A)は、ガラス、石英等の絶縁性非品質基板、もしくはSiO<sub>2</sub>等の絶縁性非品質材料層等の絶縁性非品質材料201上にシリコンを主体とする非品質材料層202を形成する工程である。該非品質材料層の形成方法としては、プラズマCVD法、蒸着法、EB蒸着法、MBE法、スパッタ法、CVD法等で非品質シリコンを成膜する方法と、微結晶シリコンもしくは多結晶シリコン等をプラズマCVD法、CVD法、蒸着法、EB蒸着法、MBE法、スパッタ法等で形成後、Si、Ar、B、P、He、Ne、Kr、H等の元素をイオン打ち込みして、該微結晶シリコンもしくは多結晶シリコン等を非品質化する等の方法がある。

(B)は、該非品質材料層202上に金属層203を形成し該金属層をシード領域204となる部分を残して除去し、熱処理等によって、金属層

203と該非晶質材料層202が接触している部分にシードとなる結晶核を生成させ、続いて、該非晶質材料層202を所定の形状にパターン形成する工程である。尚、シード領域を結晶化させる前に非晶質材料層のパターン形成を行ってもよい。金属層としてA1を用いた場合を例にすると、前述の通り該金属層203と接触している非晶質シリコンは他の部分と比べてより低温でしかも短時間で結晶核が発生しやすい。そこで、金属層と接触していない部分からは結晶核が発生しない温度及び時間の熱処理を行うと、シード領域から選択的に結晶成長を誘起することができる。具体的には温度200°C~450°C程度で15分~2時間程度の熱処理を行うと、金属層と非晶質シリコン層の界面付近に結晶核が生成し結晶成長が始まる。続いて、金属層(A1)203をリン酸等でエッチング除去する。金属層を除去する理由は、前述の通り続いて行うより高い温度での熱処理の際、金属の非晶質シリコン中(特に素子形成領域まで)への異常拡散を防止するためである。

ておくと、シード領域で複数の結晶核が生成した場合でも、どちらか一方の優勢な(結晶成長速度が速い、又は、結晶核が早く発生した等の)結晶成長が細い連続領域で選択され、島状領域は単結晶化される。第4図にその結晶成長の模式図を示す。第4図において、401は島状領域、402は連続領域、403はシード領域、404及び405は結晶粒を示す。

又、連続領域で单一の結晶成長に選択されない場合でも第5図の結晶成長の模式図に示すように結晶粒界が存在する位置は大幅に制限される。第5図において、501は島状領域、502は連続領域、503はシード領域、504は結晶粒界が存在する確立が高い位置であり、505は結晶粒界の存在する確立がほぼ零の領域である。506は両者の中间の領域(グレーゾーン)である。従って、半導体素子として、MOS型トランジスタやTFTを例とするならば、該素子のチャンネル領域が領域405に入るように素子を配置すれば、結晶粒界による素子特性の大差なばらつきを

尚、結晶核が生成する熱処理温度は非晶質シリコンの成膜方法によって最適値が異なる。例えば、プラズマCVD法で形成した非晶質シリコンの場合は200°C~350°C程度の比較的低温で結晶核が形成される。そのため、シード領域以外から結晶核が生成されにくい低温の熱処理でシード領域に結晶核を生成できるメリットがある。

続いて、非晶質シリコン層を所定の形状にパターン形成する。第2図では該非晶質シリコン層を素子を形成する領域となる島状領域205と該島状領域205と該シード領域204を結ぶ連続領域206を少なくとも有する形状にパターン形成する場合を例としている。

(C)は、該非晶質材料層202を該シード領域204を起点として、熱処理等により選択的に結晶成長させる工程である。熱処理温度は550°C~650°C程度で20時間~30時間程度の熱処理を行う。

非晶質シリコン層を前述の如く島状領域205と連続領域206を有する形状にパターン形成し

無くすことができる。

(D)は、結晶成長させた島状領域205に半導体素子を形成する工程である。尚、第2図(D)では、半導体素子としてTFTを形成する場合を例としている。図において、207はゲート電極、208はソース・ドレイン領域、209はゲート絶縁膜、210は層間絶縁膜、211はコンタクト穴、212は配線を示す。TFT形成の形成方法は第1図の実施例と同様の方法で形成できる。前述のようにTFTのチャンネル領域213を結晶粒界の存在する確立がほぼ零の領域に配置することで結晶粒界による素子特性のばらつきを皆無にし、歩留りを大幅に向上させることができた。

非晶質シリコン層のパターン形状は第2図に示した形状の他にも様々な形状が考えられる。例えば、第6図~第8図は本発明の実施例における連続領域の平面図の例を示す。第6図~第8図において、601、701、801はシード領域、602、702、802は島状領域、603、70

3. 803は連続領域、604、605、704、705、804、805は結晶粒を示す。連続領域の幅にテープをつけたり、幅の狭い領域706を設ける等連続領域の形状を工夫することで、結晶成長の選択をより完全に行うことができる。特に、本発明に基づく金属層を用いたシード形成方法ではシード領域に多結晶核が発生し易いため、上述のような結晶成長の選択が歩留りの大幅な向上に対して有効となる。又、連続領域等にP(リン)等の不純物を $10^{-1}$ ~ $10^{-2}$ cm $^{-3}$ 程度ドープして結晶成長速度を10倍程度に上げることは、熱処理時間の短縮となり、素子形成領域である島状領域をより広く結晶化することができ特に有効である。

尚、第1図~第3図の実施例では金属層としてAlを用いる場合を例としたが、本発明はこれに限定されるものではない。例えば、Al-Si等のAl合金、Cr、Ni、Mo、W、Au、Pt、Ti等の金属もしくはこれらの合金を該金属層として用いることもできる。Al-Si等の

Siと金属との合金を用いると結晶核が生成し易くなる場合がある。Al-Siの場合を例にとると、Siの含有量を0.5wt%程度以下にすると結晶核が均一に発生し易くなる。(Siの含有量が上述の値より大きくなると、より高温の熱処理を行わないと結晶核が生成し難くなる。)

又、本実施例では非晶質シリコン層の上に金属層を形成する場合を例としたが、横層順はこの逆でもよい。但し、金属層上に非晶質シリコン層を形成した場合は熱処理時に金属層を除去することができない、金属層の段差部を非晶質シリコン層がステップカバーしなければならない等の問題が生ずる。

又、本発明は、実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に応用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子全般に応用でき、極めて有効な製造方法となる。

#### 【発明の効果】

以上述べたように、本発明によればガラス、石英等の絶縁性非晶質基板、もしくはSiO<sub>2</sub>等の絶縁性非晶質材料層等の絶縁性非晶質材料上に単結晶シリコン等を選択的に結晶成長させ、結晶粒界が存在する位置を制御できるようになった。その結果、結晶化された領域に選択的に半導体素子を形成することが可能となった。本発明によれば、絶縁性非晶質材料上にSiウェハー上に形成した半導体素子に匹敵する高性能な半導体素子を形成できるようになった。大型で高解像度の液晶表示パネルや高速で高解像度の密着型イメージセンサや三次元IC等を容易に形成できるようになった。

さらに、溶融再結晶化法等とは異なり、本発明はせいぜい650℃程度の低温の熱処理が加わるだけであるため、(1)基板として安価なガラス基板を使用できる。(2)三次元ICでは、下層部の素子に悪影響(例えば、不純物の拡散等)を与えることなく上層部に半導体素子を形成することが出来る。等のメリットもある。

また、本発明は、実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に応用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を絶縁材料上に形成する場合に極めて有効な製造方法となる。

#### 4. 図面の簡単な説明

第1図(a)~(d)は本発明の実施例における半導体装置の製造工程図である。

第2図(a)~(d)及び第3図(a)~(d)は本発明の実施例における半導体装置の製造方法であり、第2図は断面図、第3図は平面図である。

第4図及び第5図は結晶成長の模式図である。

第6図~第8図は本発明の実施例における連続領域の平面図である。

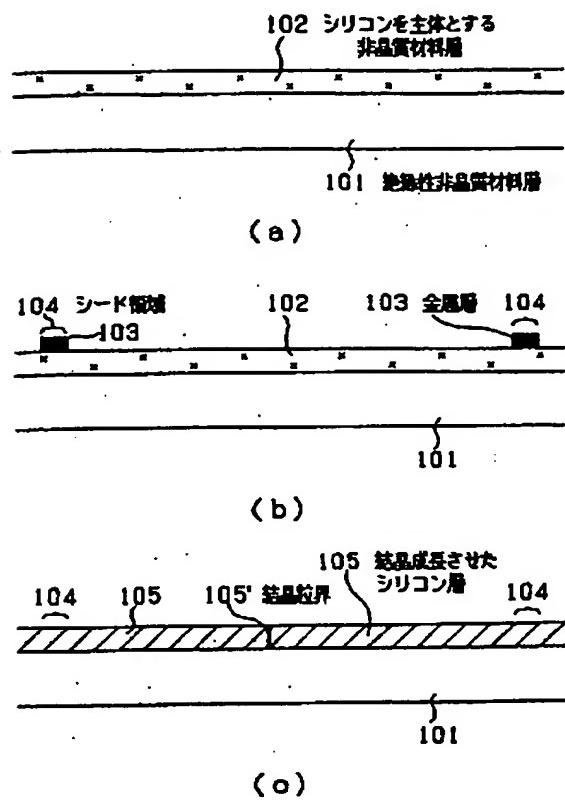
101、201···絶縁性非晶質材料

102、202···非晶質材料層

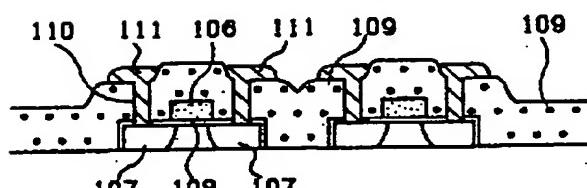
- 103, 203 . . . 金属層
- 104, 204 . . . シード領域
- 106, 207 . . . ゲート電極
- 107, 208 . . . ソース・ドレイン領域
- 108, 209 . . . ゲート絶縁膜
- 109, 210 . . . 層間絶縁膜
- 110, 211 . . . コンタクト穴
- 111, 212 . . . 配線
- 401, 501, 602, 702, 802  
. . . 島状領域
- 402, 502, 603, 703, 803  
. . . 連結領域
- 403, 503, 601, 701, 801  
. . . シード領域

以上

出願人 セイコーエプソン株式会社  
代理人 弁理士 上 様 誠(他1名)

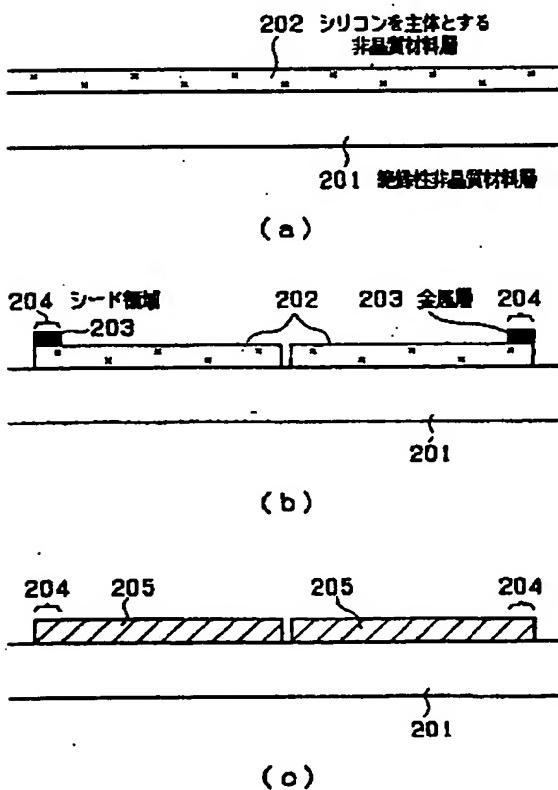


第1図

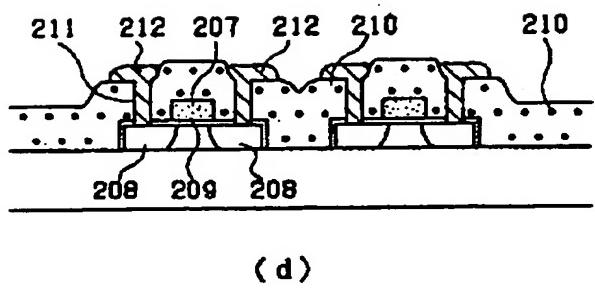


(d)

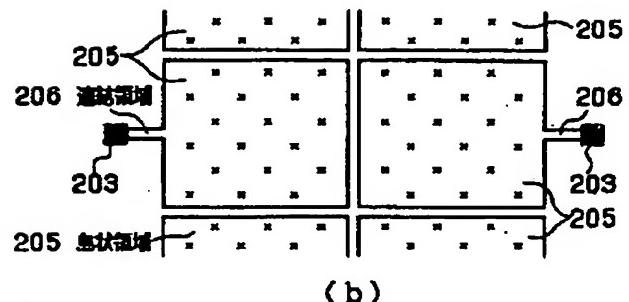
第1図



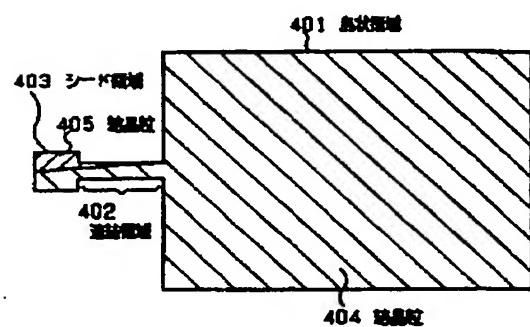
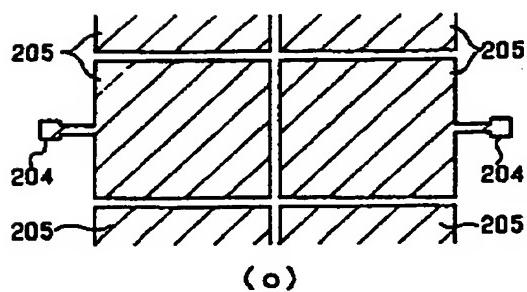
第2図



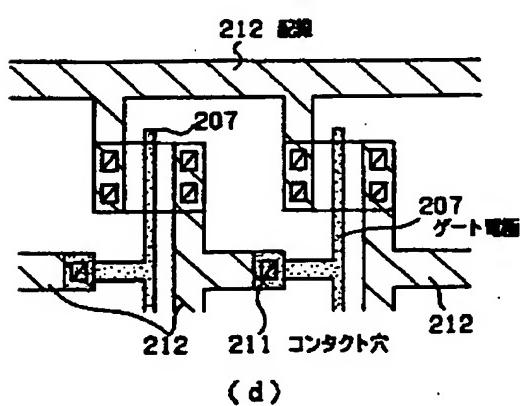
第 2 図



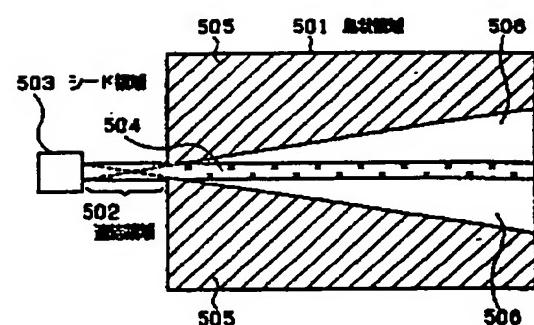
第 3 図



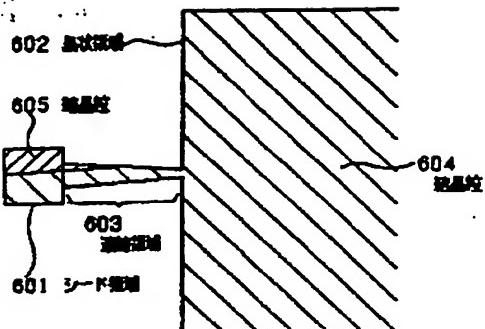
第 4 図



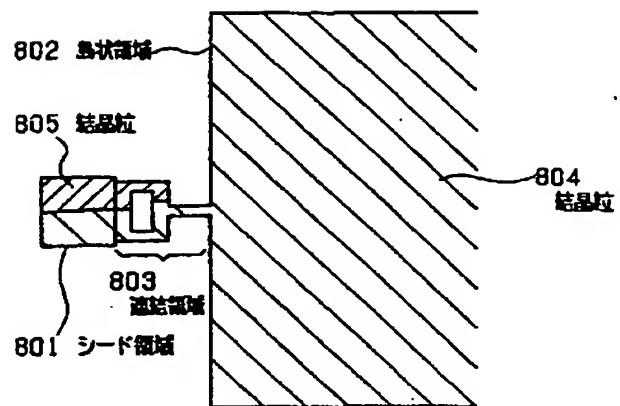
第 3 図



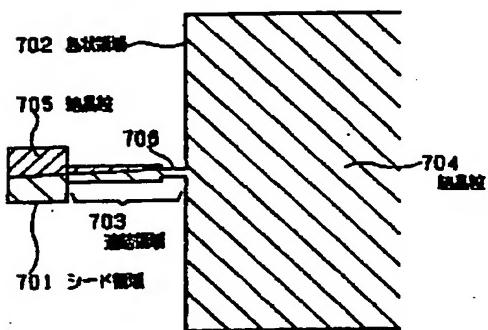
第 5 図



第 6 図



第 8 図



第 7 図